

НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ  
Аерокосмічний факультет  
Кафедра автоматизації та енергоменеджменту



**Мікропроцесорна техніка**

**Методичні рекомендації  
до виконання лабораторних робіт  
для студентів ОС «Бакалавр» спеціальності  
141 «Електроенергетика, електротехніка та електромеханіка»  
ОПП «Енергетичний менеджмент»  
(електронний варіант)**

Затверджено на засіданні кафедри АЕМ АКФ  
Протокол №14 від «28» серпня 2023 р.  
Викладач \_\_\_\_\_ І. Прохоренко

**КИЇВ-2023**



## **ЗМІСТ**

<b>ВСТУП.....</b>	
<b>Лабораторна робота 1. АНАЛІЗ РОБОТИ ЛОГІЧНИ ЕЛЕМЕНТІВ І СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ.....</b>	
<b>Лабораторна робота 2. АНАЛІЗ РОБОТИ ТА СИНТЕЗ СХЕМ ШИФРАТОРА ТА ДИШИФРАТОРА.....</b>	
<b>Лабораторна робота 3. ДОСЛІДЖЕННЯ МУЛЬТИПЛЕКСОРА ТА ДЕМУЛЬТИПЛЕКСОРА.....</b>	
<b>Лабораторна робота 4. ДОСЛІДЖЕННЯ ТРИГЕРІВ....</b>	
<b>Лабораторна робота 5. ДОСЛІДЖЕННЯ ДВІЙКОВИХ ЛЧИЛЬНИКІВ.....</b>	
<b>Лабораторна робота 6. ДОСЛІДЖЕННЯ РЕГІСТРІВ.....</b>	
<b>Лабораторна робота 7. АНАЛІЗ РОБОТИ ЦИФРО-АНАЛОГОВИХ ТА АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ .....</b>	
<b>Лабораторна робота 8 . ДОСЛІДЖЕННЯ РОБОТИ НАПІВСУМАТОРА ТА СУМАТОРА.....</b>	
<b>СПИСОК ЛІТЕРАТУРИ.....</b>	

## ВСТУП

Лабораторний практикум розроблено згідно з робочою навчальною програмою з дисципліни «Мікропроцесорна техніка» для студентів спеціальності 141 «Електроенергетика, електротехніка та електромеханіка»

Лабораторні роботи виконують методом математичного моделювання з допомогою пакета моделювання електронних схем Multisim. Теми лабораторних робіт пов'язані з дослідженням логічних елементів, комбінаційних схем, перетворювачів, шифраторів і дешифраторів, мультиплексорів і демультимплексорів, суматорів, тригерів, регістрів, лічильників, арифметико-логічних пристроїв. Роботи виконують у три етапи.

На першому етапі, який передує роботі в лабораторії, студент повинен ознайомитися з метою роботи, відповісти на питання, підготувати протокол лабораторної роботи.

На другому етапі, безпосередньо в лабораторії, він має виконати необхідні дослідження, занотувати отримані результати та проаналізувати їх.

На завершальному етапі роботи необхідно графічно подати отримані результати, зробити висновки про досліджувані процеси, занотувати їх у звіт роботи. Дати відповідь на контрольні запитання і захистити роботу. До лабораторної роботи допускають студентів, які виконали перший етап запланованої роботи і мають повністю оформлену попередню роботу.

## Лабораторна робота 1

### АНАЛІЗ РОБОТИ ЛОГІЧНИХ ЕЛЕМЕНТІВ І СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ

#### Мета роботи

1. Ознайомитися з основними логічними елементами.
2. Закріпити на практиці теоретичні знання про мінімізацію логічних функцій та синтез комбінаційних схем.
3. За допомогою програмного середовища *Multisim* реалізувати отримані комбінаційні схеми та дослідити їх роботу.

#### Завдання

1. За рекомендованою літературою ознайомитися з основними теоретичними положеннями алгебри логіки, методами мінімізації складних логічних функцій та набуття навичок їх схемної реалізації в середовищі *Multisim* для дослідження їх характеристик.
2. Побудувати таблицю істинності функції. Визначити кількість вхідних змінних. Значення перемикальної функції отримати, перевіривши три останні цифри залікової книжки з десяткової системи числення в двійкову.
3. Записати алгебричний вираз отриманої перемикальної функції у доконаній диз'юнктивній нормальній формі (ДДНФ).
4. За вказаним викладачем методом виконати мінімізацію отриманої функції.
5. З типових логічних елементів, заданих викладачем, скласти схему і перевірити, чи реалізує вона логічну функцію вашого варіанта за допомогою пакету програм *Multisim*.
6. Оформити протокол лабораторної роботи, зробити письмові висновки за результатами досліджень.

#### Основні теоретичні відомості

Логічною основою побудови мікропроцесорних систем є *алгебра логіки* або *булева алгебра*.

Величина, яка може набувати лише двох значень (так чи ні, 1 або 0), називається *двійковою (логічною) змінною*.

Складна подія, що залежить від декількох двійкових змінних, називається *двійковою (логічною, перемикальною) функцією*:

$$y = f(x_1, x_2, \dots, x_n),$$

де  $x_i = \{1, 0\}$ .

В алгебрі логіки є три основні логічні дії (операції, функції):

1. Операція НІ – *логічне заперечення*: функція має обернене значення до змінної, від якої вона залежить

$$y = \bar{x}.$$

2. Операція АБО – *логічне додавання (диз'юнкція)*: функція істинна, якщо істинна хоча б одна з незалежних змінних, що до неї входять

$$y = x_1 + x_2.$$

3. Операція І – *логічне множення (кон'юнкція)*: функція істинна, якщо істинні усі незалежні змінні, що до неї входять

$$y = x_1 \cdot x_2.$$

Практична реалізація аналітичного опису подій алгебри логіки виконується у вигляді *логічних схем*, що будуються з логічних елементів як логічні (цифрові) автомати.

*Логічний елемент* – це електронний прилад, що реалізує одну з логічних функцій.

Під *мінімізацією логічної функції* будемо розуміти процес знаходження такого еквівалентного виразу логічної функції, який містить мінімальну кількість входжень змінних.

Є два методи мінімізації: *метод алгебричних перетворень* і *графічний метод* (карти Карно, діаграми Вейча).

Аналітичний (табличний) метод (*метод алгебричних перетворень*) мінімізації складається з таких кроків:

1. Записується перемикальна функція у формі ДДНФ.

2. Виконуються всі операції неповного склеювання послідовно до всіх конституент одиниці, потім до імплікант  $n - 1$  рангу,  $n - 2$ , і так далі, поки формування нових імплікант можливе.

3. Виконуються всі можливі поглинання, у результаті чого визначаються всі прості імпліканти, які складають скорочену ДНФ.

4. Будується таблиця покриття (імплікантна матриця) для подальшого спрощення запису функції.

5. Виконується завдання покриття всіх значень функції (мінітермів або максітермів) набором простих імплікант (імпліцент), у результаті чого виходить множина тупикових форм функції.

6. Серед множини тупикових форм вибирається одна, яка за певними критеріями визнається мінімальною. Найчастіше це критерій мінімальної кількості змінних (букв) в аналітичному виразі однієї з тупикових форм функції.

Мінімізація з використанням *діаграм Вейча (карт Карно)* має такі етапи:

1. Функцію приводять до диз'юнктивної нормальної форми (ДНФ). Для цього її виражають у вигляді логічної суми простих кон'юнкцій.

2. Заповнюють прямокутну таблицю, у якій кількість клітин дорівнює  $N = 2^i$  – кількості можливих комбінацій змінних. Якщо кількість змінних  $i = 2$ , то  $N = 4$ , при  $i = 3$ , то  $N = 8$  і т.д. Використовуючи таблицю істинності, у відповідну клітину таблиці ставлять «1», якщо на цьому наборі змінних ЛФ = 1 і 0 - якщо ЛФ = 0 або нічого не ставлять, якщо ЛФ не визначена.

Для булевої функції трьох змінних діаграма Вейча має вигляд, показаний на рис. 9.1.

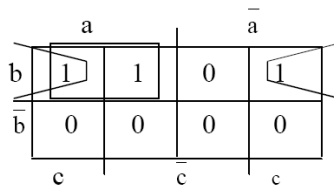


Рис. 9.1. Вигляд діаграми Вейча для трьох змінних

3. У заповненій таблиці (рис.9.1) обводять прямокутними контурами всі «1» і потім записують мінімізовану ЛФ у вигляді суми логічних добутків, що описують ці контури. Для проведення контурів дотримуються таких правил:

- контури повинні бути прямокутними і охоплювати, в сукупності всі одиниці;
- всередині контуру повинні бути клітини, заповнені тільки одиницями;

- кількість клітин, що містяться всередині контуру, має бути цілим ступенем числа 2. Тобто кількість клітин може дорівнювати 2, 4, 8, 16 і т.д.
  - одні й ті самі клітини, заповнені одиницями, можуть входити в декілька контурів.
  - для проведення контурів найвищій і найнижчій рядки вважаються сусідніми. Те саме справедливе для крайнього лівого та крайнього правого стовпців;
  - кількість контурів повинна бути якомога меншою, а самі контури якомога більшими.
4. Записують мінімізовану ЛФ як суму логічних добутків, кожен з яких складається зі змінних, які є загальними для даного контуру.

### Послідовність виконання роботи

#### 1. Дослідження логічної функції І.

1.1. Змодельовати схему дослідження функції І (рис.9.2). Схема містить досліджувану функцію І ( $U1$ ), два двопозиційні перемикачі ( $S1, S2$ ), керовані клавішами  $A$  і  $B$  джерела сигналів логічної одиниці ( $U2, U4$ ), логічного нуля ( $U3, U5$ ), три світлодіода ( $X1, X2, X3$ ), два вольтметра і джерело постійної напруги 5В ( $VCC$ ).

1.2. Подати на входи схеми І всі можливі комбінації рівнів сигналів  $A$  і  $B$  за допомогою перемикачів  $S1$  і  $S2$ . Для кожної комбінації зафіксувати показання вольтметрів та рівні вхідних сигналів  $A$  і  $B$  та рівень вихідного сигналу  $Q$  (логічна одиниця - відповідний світлодіод  $Xi$  світиться, логічний нуль - відповідний світлодіод  $Xi$  не світиться). Результати досліджень занести до таблиці істинності (табл. 9.1).

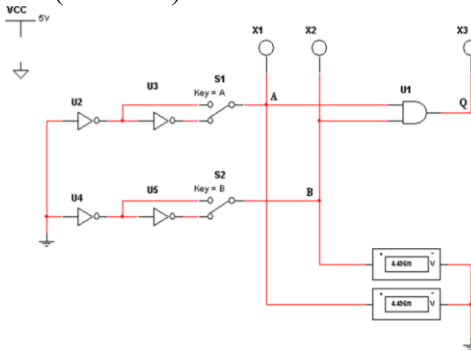


Рис.9.2. Multisim-модель логічної функції 2І



Таблиця істинності логічної функції I

Входи		Вихід
<i>A</i>	<i>B</i>	<i>Q</i>
0	0	
0	1	
1	0	
1	1	

## 2. Дослідження логічної функції 2І–НІ

2.1. Змоделювати схему дослідження логічної функції 2І–НІ (рис.9.3).

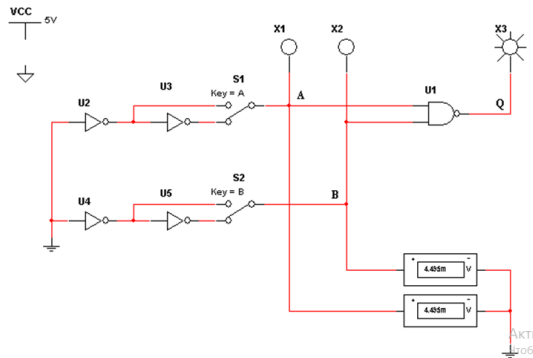


Рис.9.3. Multisim-модель логічної функції 2І–НІ

2.2. Подати на входи схеми 2І–НІ всі можливі комбінації рівнів сигналів *A* і *B* за допомогою перемикачів *S1* і *S2*. Для кожної комбінації зафіксувати показання вольтметрів, рівні входних сигналів *A* і *B* і рівень вихідного сигналу *Q*.

2.3. Результати вимірювань занести до таблиці істинності (табл. 9.2).

Таблиця істинності логічної функції 2І–НІ

Входи		Вихід
<i>A</i>	<i>B</i>	<i>Q</i>
0	0	
0	1	
1	0	
1	1	

### 3. Дослідження логічної функції АБО

3.1. Змоделювати схему дослідження логічної функції 2АБО (рис.9.4).

3.2. Подати на входи схеми АБО всі можливі комбінації рівнів сигналів  $A$  і  $B$  за допомогою перемикачів  $S1$  і  $S2$ . І для кожної комбінації зафіксувати показання вольтметрів, рівні входних сигналів  $A$  і  $B$  та рівень вихідного сигналу  $Q$ .

3.3. Результати вимірювань занести до таблиці істинності (табл. 9.3).

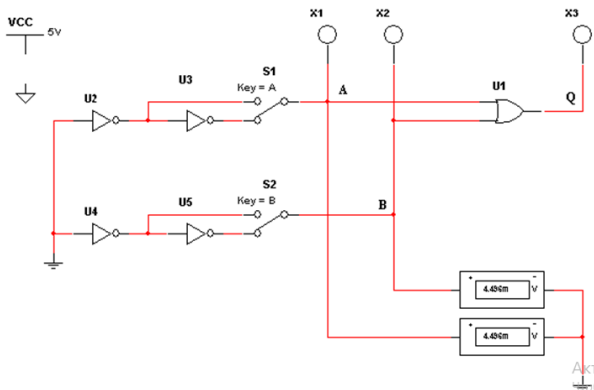


Рис.9.3. *Multisim*-модель логічної функції 2АБО

Таблиця 9.3

**Таблиця істинності логічної функції АБО**

Входи		Вихід
A	B	Q
0	0	
0	1	
1	0	
1	1	

### 4. Дослідження логічної функції АБО–НІ

4.1. Змоделювати схему дослідження логічної функції 2АБО–НІ (рис.9.4).

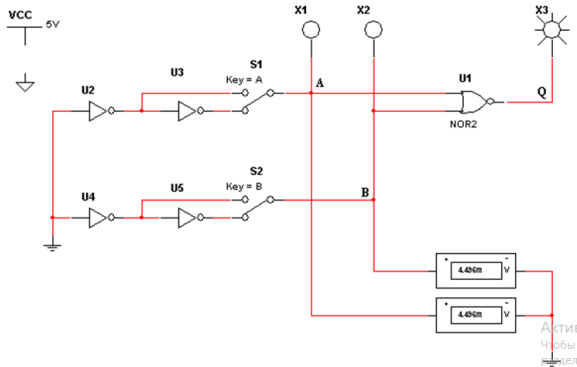


Рис.9.4. *Multisim*-модель логічної функції 2АБО–НІ

4.2. Подати на входи схеми АБО–НІ всі можливі комбінації рівнів сигналів  $A$  і  $B$  за допомогою перемикачів  $S1$  і  $S2$ . Для кожної комбінації зафіксувати показання вольтметрів, рівні вхідних сигналів  $A$  і  $B$  і рівень вихідного сигналу  $Q$

4.3. Результати вимірювань занести до таблиці істинності (табл. 9.3).

Таблиця 9.3.

Таблиця істинності логічної функції 2АБО–НІ

Входи		Вихід
A	B	Q
0	0	
0	1	
1	0	
1	1	

### Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі схеми логічних функцій (рис. 9.2 – 9.4).
3. Таблиці істинності досліджуваних у роботі логічних функцій.
4. Висновки.

### Контрольні запитання та завдання

1. Що таке логічні функції та елементи?
2. Які є способи представлення логічних функцій?

3. Як за допомогою однотипних логічних елементів із фіксованою кількістю входів реалізувати функцію І (АБО, І-НІ, АБО-НІ) якщо кількість букв у термі та кількість входів логічних елементів не збігаються?
4. Як реалізують логічні функції?
5. Пояснити поняття логічного базису. Як здійснюється перетворення логічних функцій до базису І-НІ, АБО-НІ?
6. Що таке мінімізація логічних функцій та з якою метою вона проводиться?
7. Пояснити суть алгебричного методу мінімізації логічних функцій.
8. Надати алгоритм мінімізації логічних функцій за допомогою карт Карно.
9. Навести алгоритм мінімізації логічних функцій за допомогою діаграм Вейча.
10. Охарактеризувати основні етапи синтезу комбінаційних схем.

## **Лабораторна робота 2**

### **АНАЛІЗ РОБОТИ ТА СИНТЕЗ СХЕМ ШИФРАТОРА ТА ДЕШИФРАТОРА**

#### **Мета роботи**

1. Ознайомитися з основними параметрами та характеристиками шифратора та дешифратора.
2. Дослідити вплив керувальних сигналів на роботу дешифратора та шифратора
3. Реалізувати та дослідити функціональні модулі на основі дешифратора.
4. За допомогою програмного середовища *Multisim* дослідити принцип роботи шифратора та дешифратора.

#### **Завдання**

1. За рекомендованою літературою ознайомитися з основними теоретичними положеннями щодо властивостей шифраторів та дешифраторів та побудови схеми в середовищі *Multisim* для дослідження їх характеристик.
2. Згідно із заданим викладачем дешифратором скласти та змоделювати роботу дешифратора 3×8 в основному режимі, дослідити

принцип роботи дешифратора 3×8 в режимі 2×4 та з логічною схемою на виході. Дослідити мікросхему CD 74148N.

3. Скласти таблиці функціонування дешифратора.

4. Оформити протокол лабораторної роботи зробити письмові висновки за результатами досліджень.

### Основні теоретичні відомості

*Дешифратором* називається комбінаційна схема, яка має  $n$  входів і  $2^n$  виходів та перетворює двійковий код на своїх входах в унітарний код на виходах.

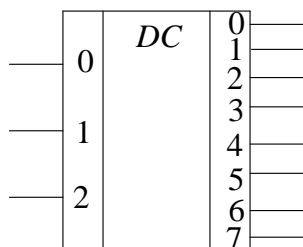


Рис.10.1. Умовне графічне позначення тривходового дешифратора

Унітарним називається двійковий код, що містить одну і тільки одну одиницю, наприклад 00100000.

Умовно графічне позначення тривходового повного дешифратора показано на рис. 10.1. Таблицю істинності тривходового дешифратора наведено в табл. 10.1.

Таблиця 10.1

Таблиця істинності тривходового дешифратора

Входи			Виходи							
2	1	0	1	1	2	3	4	5	6	7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

За способами побудови дешифратори класифікуються на *лінійні, прямокутні та пірамідальні*.

Для *лінійного дешифратора* кількість каскадів  $k$  дорівнює одиниці, кількість клапанів схем (I, АБО–НЕ)  $M = 2n$ .

*Повний дешифратор*, побудований за методом каскадів, є *пірамідальним дешифратором*  $K = (n - 1)$ .

*Швидкодія* пірамідального дешифратора визначається *часом дешифрування*

$$t_{\text{дш}} = kT_{\text{срк}},$$

де  $T_{\text{срк}}$  – середній час затримки сигналу формування функції на клапанах  $k$ -го каскаду дешифратора. Тоді зі збільшенням кількості каскадів швидкодія пірамідального дешифратора, побудованого на однакових елементах, зменшується в  $k$  разів.

*Шифратор* – схема, що має  $2^n$  входів і  $n$  виходів, функції якої багато в чому протилежні функції дешифратора (рис. 10.2).

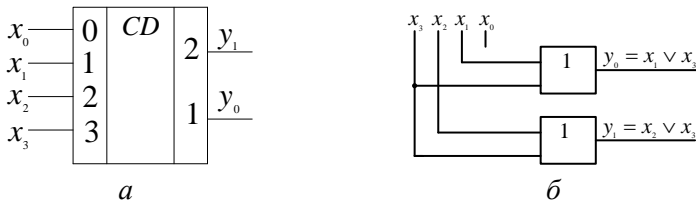


Рис.10.2. Дворозрядний шифратор:  
*a* – умовне графічне позначення; *б* – комбінаційна схема

Ця комбінаційна схема відповідно до унітарного коду на своїх входах формує позиційний код на виході (табл. 10.2).

Таблиця 10.2

**Таблиця істинності дворозрядного шифратора**

Вхідні сигнали				Вихідні сигнали	
$x_3$	$x_2$	$x_1$	$x_0$	$y_1$	$y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

## Послідовність виконання роботи

### 1. Дослідження роботи дешифратора $3 \times 8$ в основному режимі.

1.1. Скласти схему дешифратора  $3 \times 8$  в середовищі *Multisim*, показано на рис. 10.3.

1.2. Увімкнути схему. Подати на вхід *C* рівень логічної одиниці. Для цього клавішею з ключ з встановити у верхнє положення. Визначити і записати рівні сигналів на виходах  $Y_0 - Y_7$  до таблиці істинності при  $C=1$ .

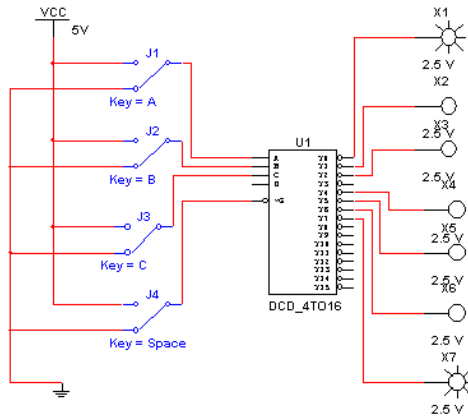


Рис.10.3. *Multisim*-модель дослідження роботи дешифратора  $3 \times 8$

1.3. Подати на вхід *G* рівень логічного нуля (ключ *G* установити в нижнє положення). Переконайтеся, що дешифратор перейшов у робочий режим і на одному з виходів установився рівень логічного нуля. Подаючи всі можливі комбінації рівнів логічних сигналів на входи *A*, *B*, *C* за допомогою однойменних ключів і визначаючи за допомогою логічних пробників рівні логічних сигналів на виході схеми, заповнити таблицю істинності дешифратора.

### 2. Дослідження роботи дешифратора $3 \times 8$ в режимі $2 \times 4$

2.1. Скласти схему дешифратора  $3 \times 8$  в середовищі *Multisim*, показано на рис. 10.4.

2.2. Увімкнути схему. Установити генератор слів в покроковий режим. Послідовно подаючи слова від генератора на вхід схеми і спостерігаючи рівень логічного сигналу на виході схеми за допомогою логічного пробника, скласти таблицю істинності функції

*P*, яка реалізується схемою на виході. За таблицею записати аналітичний вираз функції і занести отриманий вираз до протоколу лабораторної роботи.

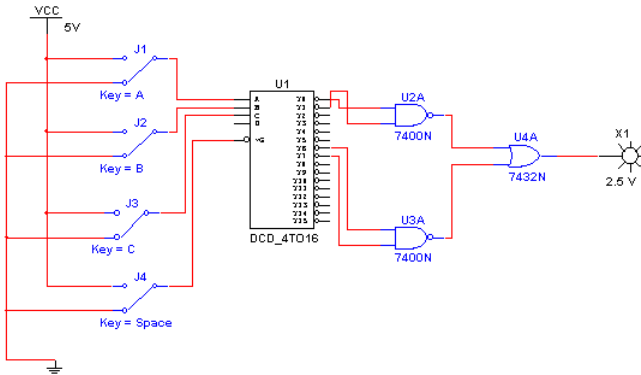


Рис.10.4. *Multisim*-модель дешифратора з логічною схемою на виході

### 3. Дослідження роботи шифратора CD 74148N

3.1. Скласти на робочому полі середовища *Multisim* схему (рис.10.5) для випробування шифратора CD 74148 N, який є аналогом мікросхеми K555IB1.

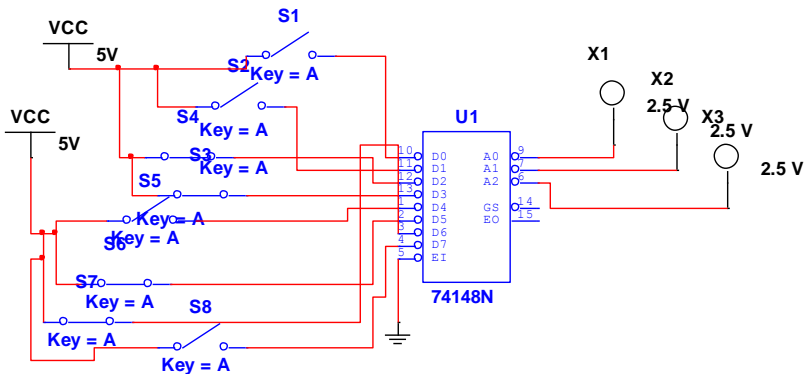


Рис.10.5. *Multisim*-модель шифратора CD 74148N

3.2. Увімкнути схему. Послідовно подаючи на всі входи сигнали високого рівня, записати вихідний код.

3.3. Послідовно подаючи по черзі на входи сигнали низького рівня (ключ розімкнути), записати вихідні коди.



3.4. Подати одночасно на два входи мікросхеми напругу низького рівня, записати вихідний код. Результати дослідження занести до табл.10.3

Таблиця 10.3

**Таблиця істинності шифратора CD 74148 N**

Вхідні сигнали								Вихідні сигнали		
D0 (S1)	D1 (S2)	D2 (S3)	D3 (S4)	D4 (S5)	D5 (S6)	D6 (S7)	D7 (S8)	A0 (X1)	A1 (X2)	A2 (X3)

### **Зміст звіту**

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми шифратора та дешифратора (рис. 10.3- 10.5).
3. Таблиці істинності досліджуваних у роботі схем.
4. Висновки.

### **Контрольні запитання та завдання**

1. Що таке дешифратор? Яке його функціональне призначення?
2. Наведіть класифікацію і область застосування дешифратора.
3. Поясніть принцип роботи дешифратора.
4. Від чого залежить складність і швидкодія дешифратора?
5. Які існують типи дешифратора.
6. Поясніть принцип роботи прямокутного дешифратора.
7. Надайте стислу характеристику роботи пірамідального та східчастого дешифраторів.
8. Що таке шифратор. Яке його функціональне призначення?
9. Розкрийте принцип роботи шифратора
10. Наведіть галузь застосування шифратора.

## **Лабораторна робота 3**

### **ДОСЛІДЖЕННЯ МУЛЬТИПЛЕКСОРА ТА ДЕМУЛЬТИПЛЕКСОРА**

#### **Мета роботи**

1. Ознайомитися з призначенням і принципом дії комбінаційних пристроїв.
2. Закріпити на практиці теоретичні положення щодо властивостей мультиплексорів та демультимплексорів.
3. За допомогою програмного середовища *Multisim* дослідити принцип роботи мультиплексорів та демультимплексорів .

### Завдання

1. За рекомендованою літературою ознайомитися з принципами роботи мультиплексора та демультимплексора і с ф е р о ю в и к о р и с т а н н я .
2. Дослідити роботу мультиплексора
3. Дослідити роботу демультимплексора.
4. Оформити протокол лабораторної роботи, зробити письмові висновки за результатами досліджень.

### Основні теоретичні відомості

*Мультиплексор* – пристрій, що має кілька сигнальних входів, один або більше керувальних входів і один вихід. Мультиплексор дозволяє передати сигнал з одного з входів на вихід; при цьому вибір бажаного входу здійснюється подачею відповідної комбінації керувальних сигналів.

Призначення мультиплексора (від англ. *Multiplex* – багаторазовий) – комутувати в бажаному порядку інформацію, що надходить з декількох вхідних шин на одну вихідну. За допомогою мультиплексора здійснюється тимчасовий поділ інформації, що надходить по різних каналах. Мультиплексори мають дві групи входів і один, рідше два взаємодоповнювальних виходи.

Дозвільний (стробуючий) вхід керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Заборонний сигнал на цьому вході блокує дію всього пристрою. Наявність дозвільного входу розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших вузлів.

Дозвільний вхід застосовується також для нарощування розрядності мультиплексорів. Логічну структуру реального мультиплексора «чотири

лінії до однієї» (4:1), половину мікросхеми ТТЛ *K155КП2* показано на рис.11.1. Вона містить чотири інформаційних входи  $D_0$ – $D_3$ , два адресні входи  $A$  і  $B$  та дозвільний вхід  $V$ . Вхід  $A$  належить молодшому розряду,  $B$ –старшому.

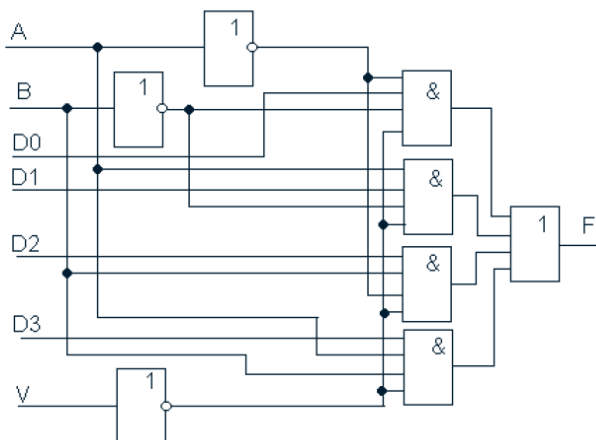


Рис. 11.1. Логічна структура мультиплексора виду 4:1

У мультиплексорів, що випускаються у вигляді самостійних виробів, кількість інформаційних входів не перевищує шістнадцяти. Більша кількість входів забезпечується шляхом нарощування. *Нарощування* можна виконувати двома способами: об'єднанням декількох мультиплексорів у *пірамідальну* (деревоподібну) систему або послідовним з'єднанням входів і зовнішніх логічних елементів. На практиці застосовують обидва методи.

*Пірамідальні мультиплексори* будуються за східчастим принципом, причому зазвичай застосовуються два, рідше три і більше щаблі.

*Демультимплексори* у функціональному відношенні протилежні мультиплексорам. Тут сигнали з одного інформаційного входу розподіляються в бажаній послідовності по декількох виходах. Вибір потрібної вихідної шини, як і в мультиплексорі, забезпечується кодом на адресних входах. За  $m$  адресних входів демультимплексор може мати незалежно від конструкції до  $2m$  виходів. Принцип дії демультимплексора пояснює рис.11.2.

Вхід  $x$  – інформаційний, вхід  $A$  – адресний, потенціал у цьому вході визначає, на якому з виходів будуть формуватися сигнали, що повторюють  $x$ . Коли  $A = 1$ , верхній елемент  $I$  замкнений і на

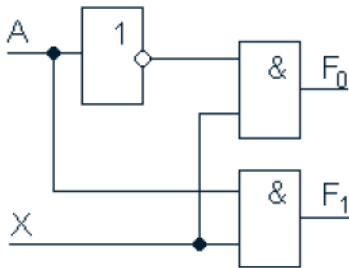


Рис.11.2. Принцип дії мультиплексора

виході його  $F_0=0$ ; нижній елемент, навпаки, відкритий і працює як повторювач інформаційних сигналів. Якщо  $A = 0$ , замкнений нижній елемент, а верхній пропускає вхідну інформацію.

Демультимплексори ТТЛ з великою кількістю виходів

працюють за тим же принципом, тільки мають більш складну схему. Логічну структуру демультимплексора вигляду 1:4 показано на рис.11.3.

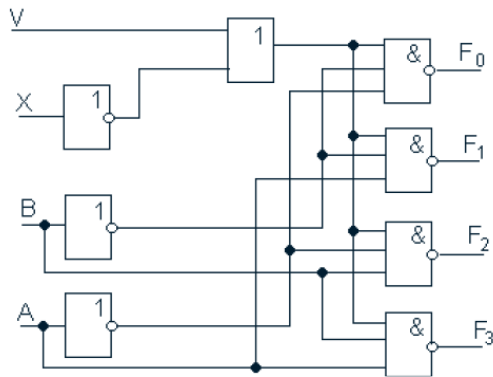


Рис.11.3. Логічна структура демультимплексора вигляду 1:4:  $A$  і  $B$  – адресні входи;  $x$  – інформаційний вхід;  $V$  – дозвільний вхід

### Послідовність виконання роботи

1. Дослідження роботи мультиплексора.

1.1. Скласти схему, зображену на рис. 11.4.

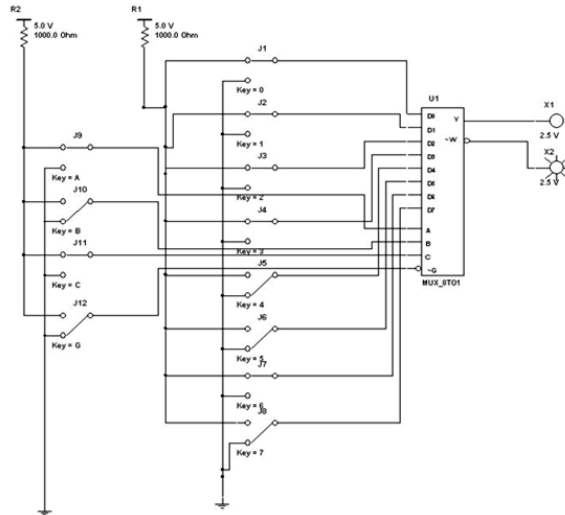


Рис. 11.4. Multisim-модель дослідження мультиплексора

1.2. Увімкнути її. За допомогою ключа *G* встановити на вході *G* мультиплексора рівень логічного нуля. По черзі подаючи всі можливі комбінації логічних рівнів за допомогою ключів *A*, *B*, *C* на відповідні входи мультиплексора, для кожної комбінації за допомогою логічних пробників визначити, перемикання якого з ключів у лівій частині схеми змінює стан виходів мультиплексора.

1.3. Позначення відповідного входу мультиплексора записати до таблиці, указавши при цьому, як передається вхідний сигнал на виходи мультиплексора (безпосередньо або з інверсією).

*Наприклад*, якщо перемикання ключа 4 змінює стан виходів мультиплексора, у таблиці в рядку з відповідною комбінацією рівнів сигналів на входах *A*, *B*, *C* слід записати для виходу *Y* – *D4*, для виходу *W* – *D4*.

1.4. Установити за допомогою ключа *G* рівень логічної одиниці на вході *G* мікросхеми. Записати позначення виводів, які в разі перемикання відповідних ключів у лівій частині схеми не впливають на стан виходів мікросхеми.

## 2. Дослідження мультиплексора за допомогою генератора слів.

2.1. Увімкнути схему, зображена рис. 11.4. Подаючи в покроковому режимі слова від генератора слів на входи мультиплексора і спостерігаючи за рівнями сигналів на виходах  $Y$  і  $W$  за допомогою логічних пробників, скласти таблицю істинності мультиплексора.

2.2. Реалізувати задані функції за допомогою мультиплексора. Результати експериментів занести до табл. 11.1.

Таблиця 11.1

Таблиця істинності функції  $F1$

A	B	C	Y	W
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

### 3. Дослідження роботи демультимплексора.

3.1. Скласти схему демультимплексора 74ALS138N, зображену рис. 11.5.

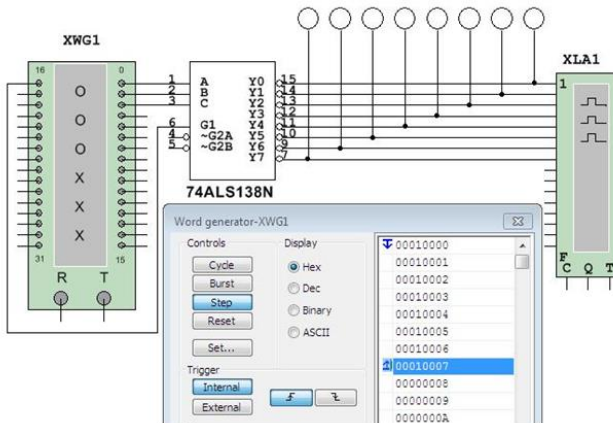


Рис. 11.5. Multisim-модель мікросхеми демультимплексора 74ALS138N

3.2. Запрограмувати генератор слів: на вхід схеми подаються сигнали так, щоб на адресні входи демультимплексора послідовно надходили всі можливі комбінації відповідної розрядності (тобто для 3 входів – 8 комбінацій від 010=0002 до 710=1112), а на вхід даних демультимплексора, подавався низький рівень сигналу.

3.3. Змодельовати та проаналізувати роботу схеми, побудувати таблицю істинності демультимплексора. За допомогою логічного аналізатора відобразити часові діаграми.

### **Зміст звіту**

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми мультимплексора та демультимплексора (рис.11.4, 11.6).
3. Таблиці істинності досліджуваних у роботі схем.
4. Висновки.

### **Контрольні питання та завдання**

1. Дайте визначення мультимплексора та поясніть його призначення.
2. Що називається демультимплексором? Наведіть приклади задач для розв'язання яких можна його застосовувати.
3. Поясніть відмінності мультимплексора від дешифратора.
4. Які функції може виконувати стробуючий вхід мультимплексора?
5. Які способи розширення розрядності мультимплексорів ви знаєте?
6. Поясніть принцип побудови пірамідальних мультимплексорів.
7. Як можна використовувати мультимплексор для реалізації заданої довільної логічної функції? Наведіть приклад.
8. Зобразіть графічно схему та опишіть роботу демультимплексора 1:4.
9. Поясніть порядок проведення дослідження роботи мультимплексорів і демультимплексорів у середовищі *Multisim*.

## **Лабораторна робота 4**

### **ДОСЛІДЖЕННЯ ТРИГЕРІВ**

#### **Мета роботи**

1. Ознайомитися з основними типами тригерів.

2. Експериментально дослідити роботу різних типів тригерів за допомогою програмного середовища *Multisim*.

### Завдання

1. За рекомендованою літературою ознайомитися з основними видами тригерів, принципами їх роботи та сферою використання.
2. Дослідити роботу *RS*-тригера, виконаного на елементах І-НІ.
3. Дослідити роботу *RS*-тригера, виконаного на елементах АБО-НІ.
4. Дослідити роботу *D*-тригера.
5. Дослідити роботу *JK*-тригера.
6. Оформити протокол лабораторної роботи, зробити письмові висновки за результатами досліджень.

### Основні теоретичні відомості

Тригери призначені для запам'ятовування двійкової інформації. Використання тригерів дозволяє реалізовувати пристрої оперативної пам'яті (тобто пам'яті, інформація в якій зберігається тільки на час обчислень), а також будувати деякі цифрові пристрої з пам'яттю, такі як лічильники, перетворювачі послідовного коду в паралельний або цифрові лінії затримки.

Практичне застосування має невелику кількість тригерів, до яких належать тригери типів *D*, *RS*, *T*, *RS-T*, *JK* і деякі інші.

В основу класифікації тригерів покладено дві основні ознаки:

- функціональну;
- спосіб запису інформації.

Функціональна класифікація є найбільш загальною і являє собою класифікацію тригерів за видом логічного рівняння, що характеризує стан входів і виходів тригера в момент часу до його спрацювання ( $t$ ) і після його спрацювання ( $t + 1$ ).

Класифікація за способом запису інформації характеризує тимчасову діаграму роботи тригера, тобто визначає перебіг процесу запису інформації в тригер. За цією класифікацією їх поділяють на дві групи:

- асинхронні;
- синхронні.



Відміною особливістю асинхронних тригерів є те, що запис інформації в них здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід. Інформаційний сигнал в синхронні тригери, що мають інформаційні і тактові входи, записується тільки з подачею дозвільного тактующого імпульсу.

У загальному вигляді тригер може містити такі входи і виходи (рис. 12.1):

$S$  – *set*, установити в 1;  $J$  – *jerk*, різко вимкнути;  $C$  – *clock*, вхід синхронізації;  $K$  – *kill*, різко вимкнути;  $R$  – *reset*, установити в 0;  $D$  – *delay*, вхід затримки;  $data$ , вхід затримки.

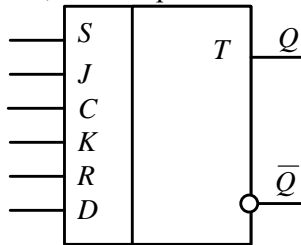


Рис.12.1. Узагальнена схема тригера

Основним тригером, на якому базуються всі інші тригери, є  $RS$ -тригер. Він має два логічні входи:  $R$  – установлення в 0 ( від слова *reset*);  $S$  – установлення в 1 ( від слова *set*) та два виходи:  $Q$  – прямий;  $\bar{Q}$  – зворотний (інверсний).

Стан тригера визначається станом прямого виходу. Найпростіший  $RS$ -тригер складається із двох логічних елементів, охоплених перехресним додатнім зворотним зв'язком (рис. 12.2, а).

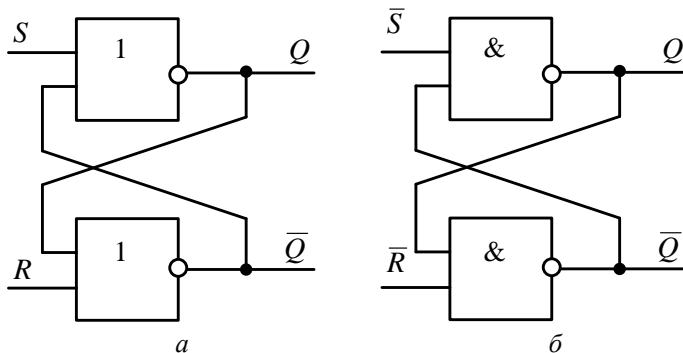


Рис. 12.2. Схема найпростішого RS- тригера:  
 а – на елементах АБО-НІ; б – на елементах І-НІ

Для опису роботи тригера використовують *таблицю станів* (переходів) (табл.12.1, 12.2). Позначимо:  $Q(t)$  – стан тригера до надходження керувальних сигналів (зміни на входах  $R$  і  $S$ );  $Q(t+1)$  – стан тригера після зміни на входах  $R$  і  $S$ . RS-тригер можна побудувати на елементах «І-НІ». Входи  $R$  і  $S$  – інверсні (активний рівень «0»). Цей тригер перемикається з одного стану в інший з установленням на одному із входів «0». Комбінація  $R = S = 0$  є забороненою.

Таблиця 12.1

Таблиця переходів RS-тригера в базисі АБО-НІ

$R$	$S$	$Q(t)$	$Q(t+1)$	Пояснення
0	0	0	0	Режим зберігання інформації $R = S = 0$
0	0	1	1	
0	1	0	1	Режим установки одиниці $S = 1$
0	1	1	1	
1	0	0	0	Режим установки нуля $R = 1$
1	0	1	0	
1	1	0	*	Заборонена комбінація $R = S = 1$
1	1	1	*	

Схема RS-тригера дозволяє запам'ятовувати стан логічної схеми, але так як при зміні входних сигналів може виникати перехідний процес, то запам'ятовувати стан логічної схеми потрібно тільки в певні моменти часу, коли всі перехідні процеси закінчені, і сигнал

на виході комбінаційної схеми відповідає функції, що нею виконується.

Таблиця 12.2

Таблиця переходів *RS*-тригера в базисі «І-НІ»

$R$	$S$	$Q(t)$	$Q(t+1)$	Пояснення
0	0	0	*	Заборонена комбінація $R = S = 0$
0	0	1	*	
0	1	0	0	Режим установки нуля $R = 0$
0	1	1	0	
1	0	0	1	Режим установки одиниці $S = 0$
1	0	1	1	
1	1	0	0	Режим зберігання інформації $R = S = 1$
1	1	1	1	

*D*-тригер належить до синхронних і має один інформаційний вхід *D*-вхід. Стан інформаційного входу передається на вихід під дією синхроімпульсу (вхід *C*).

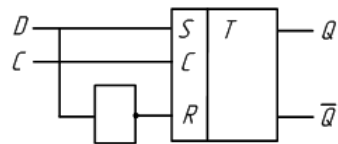


Рис. 12.3. Схема *D*-тригера на основі синхронного *RS*-тригера

На рис. 12.4 зображено схему *D*-тригера на основі синхронного *RS*-тригера, а в табл. 12.4 наведено його таблицю переходів.

Таблиця 12.4

Таблиця переходів *D*-тригера

$C$	$D$	$Q(t)$	$Q(t+1)$	Пояснення
0	*	0	0	Режим зберігання інформації
0	*	1	1	
1	0	*	0	Режим запису інформації
1	1	*	1	

*T*-тригер – рахунковий тригер, має один рахунковий інформаційний вхід. Тригер перемикається щоразу у протилежний стан, коли на вхід *T* надходить керувальний сигнал. На рис. 12.4 зображено схему *T*-тригера на основі *D*-тригера, а в табл. 12.5 наведено його таблицю переходів.

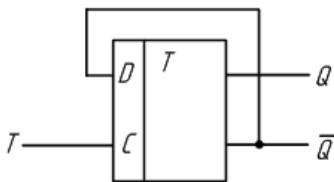


Рис. 12.4. Схема *T*-тригера на основі *D*-тригера

Таблиця 12.5

Таблиця переходів *T*-тригера

<i>T</i>	$Q(t)$	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

*JK*-тригер є універсальним (рис. 12.5). Цей тригер має інформаційні входи *J* і *K*, які за своїм впливом аналогічні входам *S* і *R* синхронного *RS*-тригера. Однак на відміну від синхронного *RS*-тригера одночасна наявність логічних 1 на інформаційних входах не є

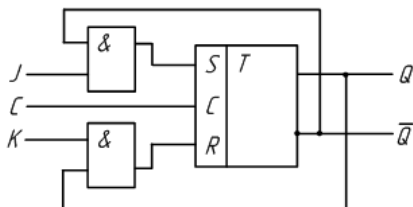


Рис. 12.5. Схема *JK*-тригера на основі синхронного *RS*-тригера

для *JK*-тригера забороненою комбінацією і переводить тригер у протилежний стан

На рис. 12.5 зображено схему *JK*-тригера на основі синхронного *RS*-тригера, а в табл. 12.6 наведено його таблицю переходів.

Таблиця 12.6

Таблиця переходів *JK*-тригера

<i>K</i>	<i>J</i>	<i>C</i>	$Q(t)$	$Q(t+1)$
0	0	1	0	0
0	0	1	1	1
0	1	1	0	1

0	1	1	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1
1	1	1	1	0

### Послідовність виконання роботи

#### 1. Дослідження RS-тригера на елементах І–НІ.

1.1. Скласти схему рис. 12.6. Увімкніть схему та послідовно подайте на її вхід такі сигнали:  $S=1,R=0$ ;  $S=1,R=1$ ;  $S=0,R=1$ ;  $S=1,R=1$ ;  $S=0,R=0$ .

Переконайтеся в такому:

- i. якщо  $S = 1, R = 0$ , тригер установлюється в стан  $Q = 0$ ;
- ii. якщо  $S = R = 1$ , тригер зберігає колишнє значення виходу  $Q = 0$ ;
- iii. якщо  $S = 0, R = 1$ , тригер установлюється в стан  $Q = 1$ ;
- iv. якщо  $S = 1, R = 1$ , колишнє значення виходу  $Q = 1$  зберігається.

1.2. За результатами експерименту заповніть таблицю станів.

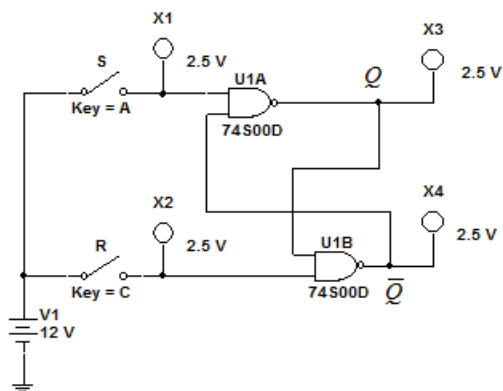


Рис. 12.6. Multisim-модель дослідження RS-тригера на елементах І–НІ

#### 2. Дослідження RS-тригера на елементах АБО–НІ

2.1. скласти схему, зображену на рис. 12.7.

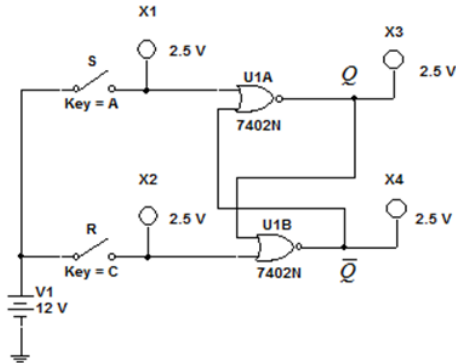


Рис.12.7. *Multisim*-модель дослідження *RS*-тригера на елементах АБО–НІ

2.2. Послідовно подати на схему такі сигнали:  $S=0, R=1$ ;  $S=0, R=0$ ;  $S=1, R=0$ ;  $S=0, R=0$ ;  $S=1, R=1$ .

Переконатися в такому:

- якщо  $S = 0, R = 1$ , тригер установлюється в стан  $Q = 0$ ;
- якщо  $S = 0, R = 0$ , тригер зберігає колишній стан виходу  $Q = 0$ ;
- якщо  $S = 1, R = 0$ , тригер установлюється в стан  $Q = 1$ ;
- якщо  $S = 0, R = 0$ , тригер зберігає колишній стан виходу  $Q = 1$ .

2. 3. За результатами експерименту заповнити таблицю станів.

### 3. Дослідження *JK*-тригера

3.1. Скласти схему, зображену на рис. 12.8.

Переконатися в такому:

- якщо  $R = 1, S = 0$ , тригер установлюється в  $Q = 1$  незалежно від стану інших входів;
- якщо  $R = 0, S = 1$ , тригер установлюється в  $Q = 0$  незалежно від стану інших входів.

Указати якому *RS*-тригеру відповідає таблиця станів *JK*-тригера для *RS*-входів.

3.2. Встановити  $S = R = 1$  і скласти таблицю станів для входів *J*, *K* і *C*.

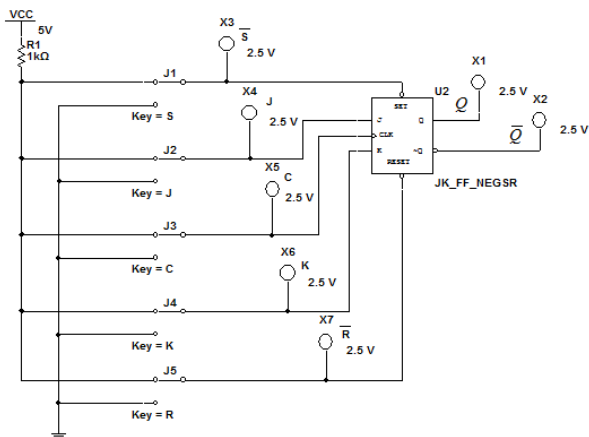


Рис. 12.8. Multisim-модель дослідження  $JK$ -тригера

Початковий стан тригера  $Q = 1$  установити короткочасною подачею сигналу  $S = 0$  і сигналу  $R = 0$  для одержання  $Q = 0$ . Перехід тригера в стан, зумовлений входами  $J$  і  $K$ , відбувається тільки за негативним фронтом імпульсу на рахунковому вході  $C$ , сформованому відповідним ключем.

3.3. Дослідити роботу тригера та занести до протоколу часові діаграми для всіх можливих комбінацій  $Q$ ,  $J$ ,  $K$ .

3.4. Дослідити  $JK$ -тригер у рахунковому режимі. Скласти схему, зображену на рис. 12.9. Змінюючи стан входу  $[C]$  відповідним ключем, занести до протоколу діаграми роботи тригера в рахунковому режимі.

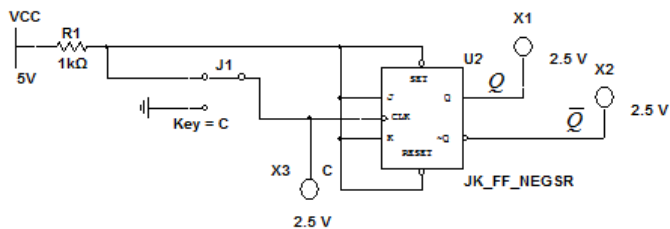


Рис. 12.9. Multisim-модель дослідження  $JK$ -тригера в рахунковому режимі

#### 4. Дослідження $D$ -тригера

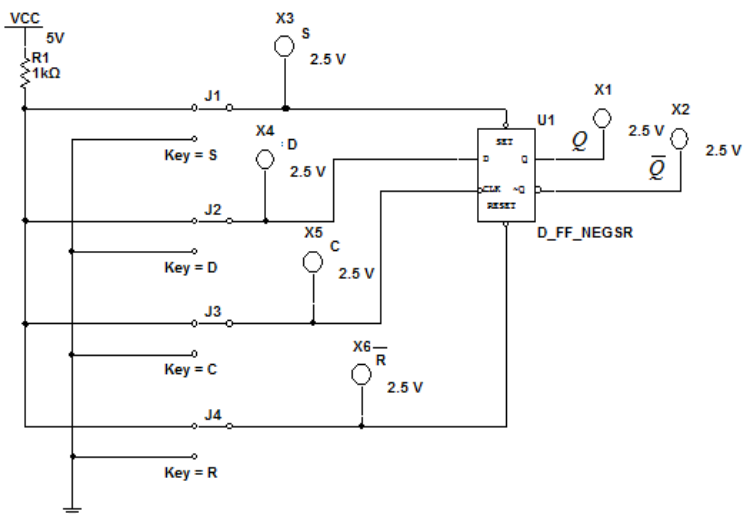


Рис.12.10. *Multisim*-модель дослідження *D*-тригера

4.1. Скласти схему, зображену на рис. 10.11. Переконатися в такому:

- якщо  $R = 1, S = 0$ , тригер установлюється в  $Q = 1$  незалежно від стану інших входів;
- якщо  $R = 0, S = 1$ , тригер установлюється в  $Q = 0$  незалежно від стану інших входів.

4.2. Установити  $S = R = 1$ , скласти таблицю станів для входів *D* і *C*.

4.3. Побудувати часові діаграми роботи тригера для всіх можливих комбінацій  $Q, D, C$ .

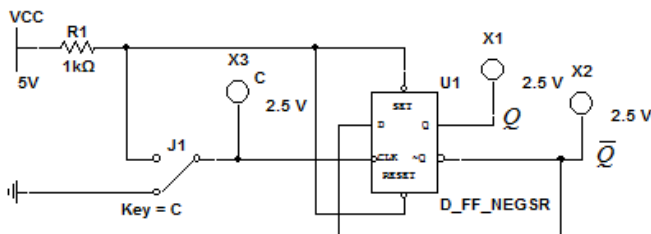


Рис.12.11. *Multisim*-модель дослідження *D*-тригера в рахунковому режимі



4.4. Дослідити роботу  $D$ -тригера в рахунковому режимі. Скласти схему, зображену на рис. 12.12. Подавайте на рахунковий вхід  $C$  тактові імпульси за допомогою ключа  $[C]$ . Стан виходів тригера визначається за допомогою індикаторів. Скласти і занести до протоколу часові діаграми роботи тригера в рахунковому режимі.

4.5. Зробити висновок, у якому описати теоретичні положення, підтвержені експериментально в процесі виконання роботи.

### Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми тригерів рис.12.6 – 12.11.
3. Результати досліджень (таблиці станів тригерів, часові діаграми їх роботи).
4. Висновки.

### Контрольні запитання та завдання

1. Чим визначається швидкодія тригера?
2. Наведіть схему  $RS$ -тригера на логічних елементах «АБО–НІ» та пояснити принцип його роботи.
3. Надайте схему  $RS$ -тригера на логічних елементах «І–НІ» та поясніть принцип його роботи.
4. Які відмінності в роботі синхронних і асинхронних тригерів?
5. Поясніть принцип дії та призначення  $D$ -тригера за таблицею переходів.
6. Наведіть схему  $T$ -тригера та поясніть принцип його роботи.
7. Чому  $JK$ -тригер називається універсальним?
8. Поясніть роботу  $JK$ -тригера за таблицею його переходів.
9. Які існують способи опису послідовних цифрових пристроїв?
10. Які переваги мають двоступінчаті тригери?

## Лабораторна робота 5

### ДОСЛІДЖЕННЯ ДВІЙКОВИХ ЛІЧІЛЬНИКІВ

#### Мета роботи

1. Закріпити на практиці теоретичні положення щодо властивостей лічильників.

2. За допомогою програмного середовища *Multisim* дослідити роботу різних типів лічильників.

### Завдання

1. За рекомендованою літературою ознайомитися з основними теоретичними положеннями щодо властивостей лічильників та побудови схем у середовищі *Multisim* для дослідження їх характеристик.

2. Згідно із заданим викладачем лічильником скласти та змоделювати роботу асинхронного додавального лічильника на *D*-тригерах та асинхронного реверсивного лічильника.

3. Скласти схеми для дослідження лічильників та дослідити їх роботу.

4. Скласти таблицю станів лічильників та побудувати тимчасові діаграми роботи лічильників.

5. Оформити протокол лабораторної роботи зробити письмові висновки за результатами досліджень.

### Основні теоретичні відомості

*Лічильником* називають послідовний цифровий пристрій, призначений для підрахунку імпульсів, що надходять на його вхід. Лічильники застосовуються в схемах керування для підрахунку кількості циклів роботи ЕОМ і для організації визначеної послідовності виконуючих операцій.

Залежно від систем числення, які використовуються в лічильниках, вони можуть бути двійковими, десятковими, шістнадцятковими та ін. Найбільш поширені *двійкові лічильники*. Лічильники виконуються на різних запам'ятовувальних елементах.

Залежно від способу реалізації рахунку лічильники поділяються на *додавальні* (прямої лічби), *віднімальні* (зворотної лічби) і *реверсивні*.

У додавальному лічильнику код із надходженням кожного вхідного сигналу збільшується на одиницю, а у віднімальних – навпаки. У реверсивному лічильнику рахунок може виконуватися як в режимі додавання, так і в режимі віднімання.

Особливу групу складають лічильники, які працюють за принципом циклічного регістра зсуву (кільцевого лічильника). За способом побудови ланцюга сигналів перенесення розрізняють лічильники з послідовним, наскрізним та груповим перенесенням. Основними характеристиками лічильників є: модуль рахунку, або коефіцієнт перерахунку і швидкодія.

Модуль рахунку характеризує кількість стійких станів лічильника, тобто максимальну кількість вхідних сигналів, які можуть бути пораховані лічильником. Наприклад, якщо  $K_p = 16$ , лічильник буде мати 16 стійких станів. При цьому кожний 16-й вхідний сигнал устанавлює лічильник в початковий стан.

Швидкодія лічильника характеризується частотою рахунку  $f_{рах}$  і часом устанавлення лічильника  $t_{уст}$ . Чим більша гранична частота підрахунку сигналів, тим більша швидкодія лічильника. Схему двійкового трирозрядного підсумовувального лічильника, зображену на рис.13.1.

У цій схемі вихідний стан лічильника встановлюється подачею сигналу по шині «Вст.0». Тригери  $T$  змінюють свій стан із закінченням вхідного сигналу, тобто після переходу від рівня 1 до 0. Вхідний сигнал по шині  $C_0$  подається на рахунковий вхід тригера 1.

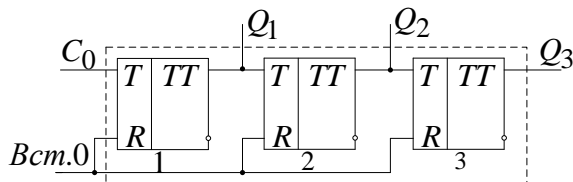


Рис.13.1. Схема двійкового трирозрядного додавального лічильника

У віднімальних лічильниках (рис.13.2) з надходженням чергового рахункового сигналу попередній результат зменшується на одиницю, тобто  $n$ -розрядному лічильнику реалізується рахункова послідовність чисел, починаючи з  $2^n - 1$  і закінчуючи 0.

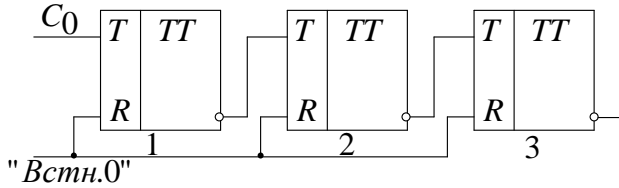


Рис.13.2. Схема віднімального лічильника з послідовною передачею переносів

Чергове число в цій послідовності отримують відніманням одиниці з попереднього числа. Після отримання значення 0 послідовність повторюється. Порядок зміни стану віднімального лічильника може бути описаний табл.13.1.

Таблиця 13.1

**Послідовність зміни стану віднімального лічильника**

Номер стану	$c_0$	Стани тригерів					
		$q_3^t$	$q_2^t$	$q_1^t$	$q_3^{t+1}$	$q_2^{t+1}$	$q_3^{t+2}$
1	1	1	1	1	1	1	0
2	1	1	1	0	1	0	1
3	1	1	0	1	1	0	0
4	1	1	0	0	0	1	1
5	1	0	1	1	0	1	0
6	1	0	1	0	0	0	1
7	1	0	0	1	0	0	0
8	1	0	0	0	1	1	1

**Порядок виконання роботи**

1. Дослідження асинхронного додавального лічильника побудованого на D-тригерах

1.1. Скласти схему асинхронного додавального лічильника, побудованого на D-тригерах у середовищі *Multisim*, показану на рис. 13.3.

1.2. Входи логічного аналізатора підімкнути до інверсних виходів тригера.

1.3. Занести до протоколу часові діаграми роботи лічильників.

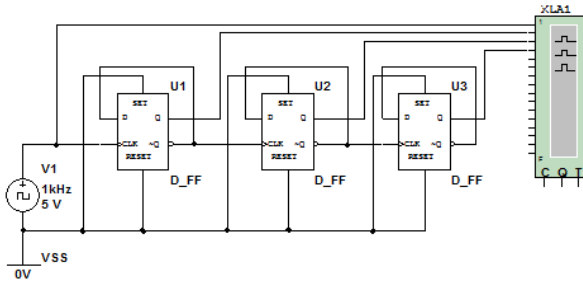


Рис. 13.3. *Multisim*-модель для дослідження асинхронного додавального лічильника побудованого на *D*-тригерах

## 2. Дослідження віднімального лічильника побудованого на *D*-тригерах.

2.1. Скласти схему асинхронного віднімального лічильника, побудованого на *D*-тригерах у середовищі *Multisim*, показану на рис. 13.5.

2.2. Входи логічного аналізатора підімкнути до виходів тригера.

2.3. Занести до протоколу часові діаграми роботи лічильників.

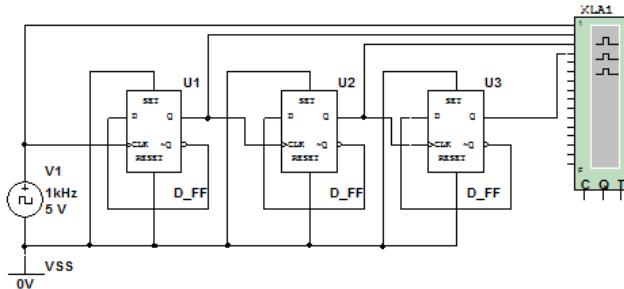


Рис. 13.4. *Multisim*-модель для дослідження віднімаючого лічильника побудованого на *D*-тригерах

## 3. Дослідження асинхронного реверсивного лічильника.

3.1. Скласти схему асинхронного реверсивного лічильника в середовищі *Multisim*, показану на рис. 13.6.

3.2. Занести до протоколу часові діаграми роботи лічильника.

3.3. Скласти таблицю станів асинхронного реверсивного лічильника.

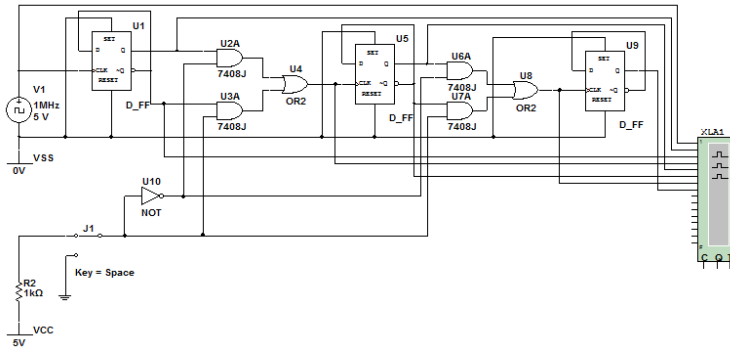


Рис.13.5. Multisim-модель асинхронного реверсивного лічильник

## Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми віднімального, давального та асинхронного реверсивного лічильників (рис. 13.3, 13.4, 13.5).
3. Результати обчислень та вимірювань.
4. Висновки.

## Контрольні запитання та завдання

1. Що таке лічильники імпульсів? Яке їх функціональне призначення?
2. Наведіть класифікація і сферу застосування лічильників.
3. Поясніть, чим визначається кількість можливих станів лічильників.
4. За яким принципом будують схеми лічильників прямої і зворотної лічби?
5. Наведіть основні недоліки і переваги лічильників з послідовним і паралельним переносом.
6. Як класифікують лічильники за напрямом лічби?
7. Назвіть основні параметри лічильників.
8. Поясніть чим відрізняється асинхронний лічильник від синхронного.
9. Назвіть схемотехнічні відмінності додавального і віднімального лічильників.
10. Поясніть ідею побудови синхронних лічильників.

## Лабораторна робота 6

### ДОСЛІДЖЕННЯ РЕГІСТРІВ

#### Мета роботи

1. Ознайомитися з будовою та принципом роботи схем тригерних регістрів.
2. Експериментально дослідити роботу різних типів регістрів за допомогою програмного середовища *Multisim*.
3. Набути практичних навичок виконання мікрооперацій на регістрах у статичному режимі.

#### Завдання

1. За рекомендованою літературою ознайомитися з основними видами регістрів, принципами їх роботи та сферою використання.
2. Дослідити роботу паралельного та послідовного регістрів.
3. Оформити протокол лабораторної роботи, зробити письмові висновки за результатами досліджень.

#### Основні теоретичні відомості

*Регістром* називається типовий функціональний вузол комп'ютера, призначений для приймання, тимчасового зберігання, перетворення і видачі  $n$ -розрядного двійкового слова. Регістр містить регулярний набір однотипних тригерів, у кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше для побудови регістрів використовують тригери типів *RS*, *JK* і *D*

Занесення інформації в регістр називається *операцією запису*. Операція видачі інформації з регістра – *зчитування*.

Перед записом інформації в регістр, його необхідно *обнулити*.

*Класифікація регістрів*. За способом уведення/виведення інформації:

- *паралельні* (регістри *зберігання*) – інформація вводиться та виводиться одночасно за всіма розрядами;
- *послідовні* (регістри *зсуву*) – інформація біт за бітом «проштовхується» через регістр і виводиться також послідовно;

– *комбіновані* – паралельне введення і послідовне виведення (і навпаки).

За способом керування процесом записування реєстри бувають *асинхронні* та *синхронні*.

*Паралельні реєстри* здійснюють приймання і видачу інформації в паралельному коді, тобто для передавання кожного розряду використовується окрема лінія.

Для запису інформації в реєстр (рис.14.1) на входних виводах ( $D0$ – $D3$ ) потрібно встановити логічні рівні, після чого на вхід синхронізації ( $C$ ) подати імпульс дозволу — логічну одиницю. Після цього на виходах  $Q0$ – $Q3$  з'явиться записане слово. Реєстри запам'ятовують входні сигнали тільки в момент часу, визначений сигналом синхронізації. Схема чотирирозрядного паралельного реєстра, зображено на рис 14.2.

*Послідовний реєстр* (реєстр здвигу) використовується для перетворення послідовного коду в паралельний і навпаки. Застосування послідовного коду полягає в необхідності передавати велику кількість двійкової інформації за обмеженої кількості сполучних ліній. Для паралельного передавання розрядів потрібна велика кількість сполучних провідників. Якщо двійкові розряди послідовно біт за бітом передавати по одному провіднику, то можна значно скоротити розміри сполучних ліній на платі (і розміри корпусів мікросхем).

Принципову схему послідовного реєстра, зібраного на основі  $D$ -тригерів, що дозволяє перетворювати послідовний код у паралельний, зображено на рис.14.3.

Як видно з рис.14.3, синхронні імпульси надходять на відповідні входи всіх тригерів реєстра одночасно і записують у них те, що і на їх інформаційних входах.

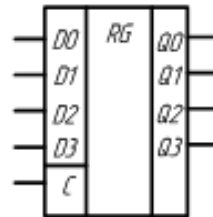


Рис.14.1. Умовно-графічне позначення паралельного реєстра



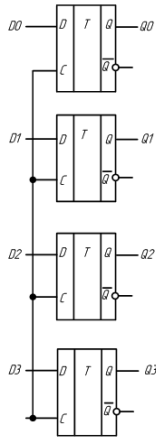


Рис.14.2.Схема паралельного реєстр

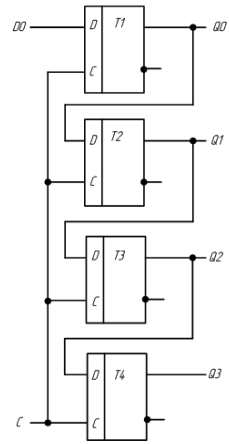


Рис.14.3 Схема послідовного реєстру

### Послідовність виконання роботи

#### 1. Дослідження роботи паралельного реєстра.

1.1. За допомогою елементів програмного комплексу *Multisim* скласти схему, зображено на рис. 14.4.

1.2. За допомогою генератора слів (XWG1) та синхронізувального генератора (XFG1) змодельовати роботу паралельного реєстра.

1.3. За допомогою логічного аналізатора (XLA1) проаналізувати роботу паралельного реєстра.

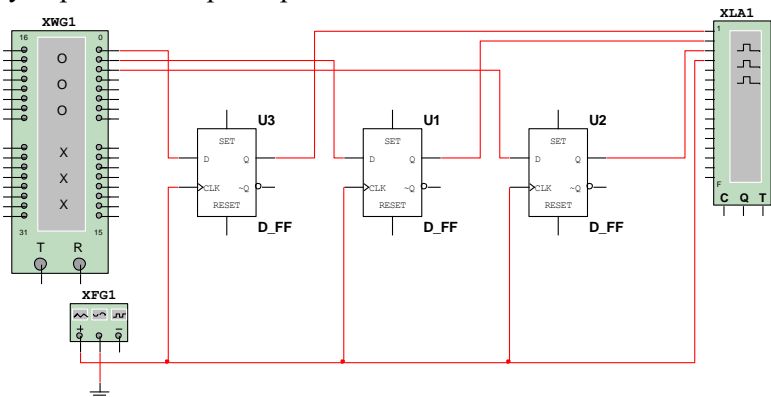


Рис.14.4. *Multisim*-модель для дослідження роботи паралельного реєстра

1.4. Скласти таблицю стану регістра.

1.5. Самостійно скласти схему та дослідити роботу паралельного регістра для чотирирозрядного двійкового слова.

**Увага!** Для правильного моделювання процесів необхідно, щоб генератор слів та синхронізувальний генератор працювали на одній частоті (наприклад 1 кГц).

2. Дослідження роботи послідовного регістра

2.1. Скласти схему, зображено на рис.14.5.

2.2. За допомогою генератора слів (XWG1) та синхронізувального генератора (XFG1) змодельовати роботу послідовного регістра.

2.3. За допомогою логічного аналізатора (XLA1) проаналізувати роботу послідовного регістра.

2.4. Скласти таблицю стану регістру.

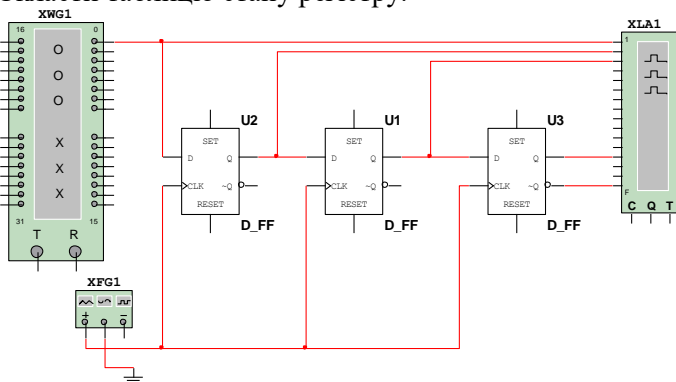


Рис.14.5. *Multisim*-модель для дослідження роботи послідовного регістра

2.5. Самостійно скласти схему та дослідити роботу послідовного регістра для чотирирозрядного двійкового слова.

2.6. Порівняти отримані діаграми роботи для послідовного і паралельного регістрів та зробити висновок.

### Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми рис.14.4, 14.5.
3. Результати досліджень (таблиці стану регістрів, часові діаграми).
4. Висновки за результатами експериментів.

## Контрольні запитання та завдання

1. Поясніть призначення та сферу застосування регістрів.
2. За якими ознаками класифікуються регістри?
3. Чим визначається розрядність регістрів?
4. Наведіть схему та поясніть принцип роботи послідовного регістра.
5. Поясніть призначення та принцип дії паралельного регістра.
6. Чому обмежена кількість розрядів числа, що записується в регістр?
7. Складіть схему паралельного регістра на *JK*-тригерах.
8. Запропонуйте схему послідовного регістра на *JK*-тригерах.
9. Чому зсув інформації з надходженням кожного синхроімпульсу відбувається тільки на один розряд?

## Лабораторна робота 7

### АНАЛІЗ РОБОТИ ЦИФРО-АНАЛОГОВИХ ТА АНАЛОГО-ЦИФРОВИХ ПЕРЕТВОРЮВАЧІВ

#### Мета роботи

1. Ознайомитися з основними параметрами та характеристиками цифро-аналогових (ЦАП) та аналого-цифрових (АЦП).
2. Дослідити вплив керувальних сигналів на роботу ЦАП та АЦП.
3. За допомогою програмного середовища *Multisim* дослідити принцип роботи ЦАП і АЦП .

#### Завдання

1. За рекомендованою літературою ознайомитися з основними теоретичними положеннями щодо властивостей ЦАП і АЦП побудови схем у середовищі *Multisim* для дослідження їх характеристик.
2. За допомогою програмного середовища *Multisim* спроектувати схему показану на рис.15.2.
3. Проаналізувати вплив на вихідну напругу зміни частоти та амплітуди керувальних сигналів, часу замикання та розмикання кожного із ключів.

#### Основні теоретичні відомості

Аналого-цифрові перетворювачі є пристроями, які перетворюють вхідні аналогові сигнали (напругу) на відповідні їм цифрові сигнали, придатні для обробки мікропроцесорами та іншими цифровими пристроями.

Аналого-цифровий перетворювач здійснює одночасно два вимірювальні перетворення – квантування і дискретизацію аналогового сигналу.

Квантування є вимірювальним перетворенням величини, що безперервно змінюється, у величину, що східчасто змінюється із заданими розмірами щаблів.

Щаблем квантування називають різницю між двома сусідніми заданими значеннями квантованої величини.

Дискретизація сигналу є вимірювальним перетворенням безперервного сигналу  $X(t)$  у послідовність миттєвих значень цього сигналу  $X_d(kT_{\Pi})$ , що відповідають певним, звичайно рівновіддаленим, моментам часу  $kT_{\Pi}$  (1, 2, 3, ...).

Проміжок часу між двома сусідніми моментами дискретизації  $T_{\Pi}$  називають кроком дискретизації. Кількість виконаних вимірів сигналу за одну секунду називають частотою дискретизації (або частотою вибірки) сигналу.

У загальному випадку мікросхему АЦП можна подати у вигляді блока, що має один аналоговий вхід, один або два входи для подавання опорної (зразкової) напруги, а також цифрові виходи для видачі коду, що відповідає поточному значенню аналогового сигналу (рис.15.1).

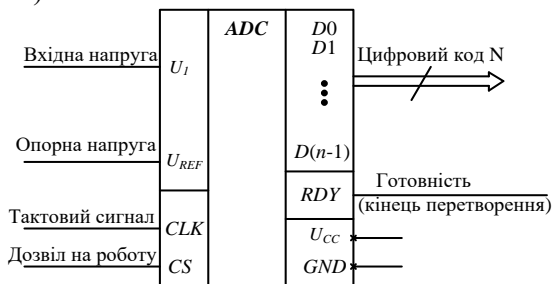


Рис. 15.1. Мікросхема АЦП

На мікросхему подається одна або дві напруги живлення і загальний провід. Опорна напруга АЦП задає діапазон вхідної напруги, у якому здійснюється перетворення. Вихідний цифровий код  $N$  ( $n$ -розрядний) однозначно відповідає рівню вхідної напруги. Код може набувати  $2n$

значень, тобто АЦП може розрізняти  $2n$  рівнів вхідної напруги. Кількість розрядів вихідного коду  $n$  являє собою найважливішу характеристику АЦП. У момент готовності вихідного коду видається сигнал закінчення перетворення  $RDY$ , за яким зовнішній пристрій може читати код  $N$ . Роботою АЦП керує тактовий сигнал  $CLK$ , який задає частоту перетворення, тобто частоту видачі вихідних кодів. Гранична тактова частота – другий найважливіший параметр АЦП. У деяких мікросхемах є вбудований генератор тактових сигналів, тому до їх виводів підмикається кварцовий генератор або конденсатор, що задає частоту перетворення. Сигнал  $CS$  дозволяє роботу мікросхеми.

Класифікацію АЦП за методами перетворення показано на рис.15. 2.

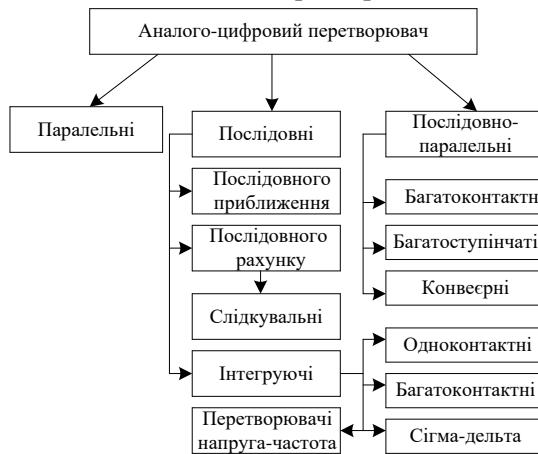


Рис.15.2. Класифікація АЦП

*Роздільна здатність АЦП* – мінімальна зміна величини аналогового сигналу, яка може бути перетворена даним АЦП – пов'язана з його розрядністю. У разі одиничного вимірювання без урахування шумів дозвіл безпосередньо визначається розрядністю АЦП.

*Розрядність АЦП* характеризує кількість дискретних значень, які перетворювач може видати на виході. У двійкових АЦП вимірюється в бітах, у трійкового АЦП вимірюється у тритіях

*Цифро-аналоговий перетворювач* забезпечує перетворення вхідної інформації у цифровій формі у вихідну інформацію в аналоговій формі. Вихідна аналогова величина, зазвичай напруга  $U_{\text{вих}}$ , або нормоване значення  $U_{\text{вих.н}} = U_{\text{вих}} / U_{\text{вих.мах}}$  пропорційна кодовій комбінації  $A_i(a_2 a_1 a_0)$ , що надходить на вхід і відтворюється для дискретних моментів часу.

Принцип роботи ЦАП полягає в підсумовуванні аналогових сигналів, що пропорційні вагам розрядів вхідного цифрового коду, з коефіцієнтами, що дорівнюють нулю або одиниці залежно від значення відповідного розряду коду. Тобто ЦАП перетворює цифровий двійковий код  $N(2) \rightarrow a_{n-1}a_{n-2}\dots a_1a_0$  в аналогову величину.

Випускається безліч найрізноманітніших мікросхем ЦАП (рис. 15.3). Однак найбільшого поширення набули два способи цифро-аналогового перетворення з використанням:

- резистивної матриці з ваговими двійково-зваженими опорами;
- матриці R-2R.

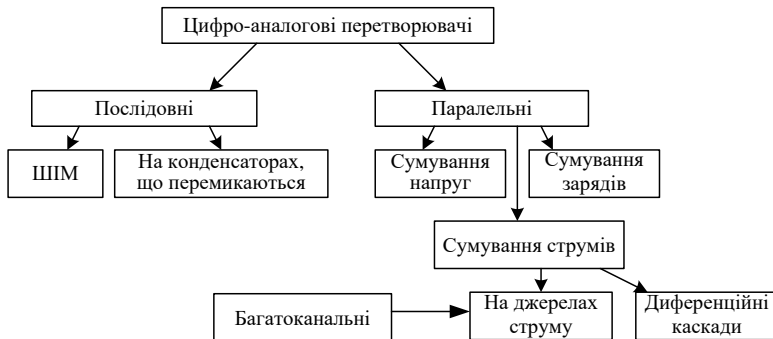


Рис.15.3. Класифікація ЦАП: ШІМ – широтно-імпульсний модулятор.

Основними параметрами ЦАП є:

- кількість розрядів вхідного коду:
- роздільна здатність (крок квантування), обумовлена числом розрядів  $n = 8..24$  та максимальною вихідною напругою  $U_{\text{вих max}}$  ;
- абсолютна похибка  $\delta_a$  (десяті частки відсотка), яка визначається відхиленням значення вихідної напруги (струму) від номінального (розрахункового), що відповідає останньому кроку перетворення, і вимірюється в одиницях молодшого розряду;
- нелінійність, що визначається як найбільше відхилення вихідного сигналу від прямої лінії абсолютної точності;
- максимальна частота перетворення  $f_{\text{max}}$  (десятки і сотні кілогерців), за якої параметри ЦАП відповідають заданим значенням.

### Послідовність виконання роботи

## 1. Дослідження функціональної моделі ЦАП.

1.1. За допомогою елементів програмного комплексу *Multisim* скласти схему, зображену на рис. 15.4.

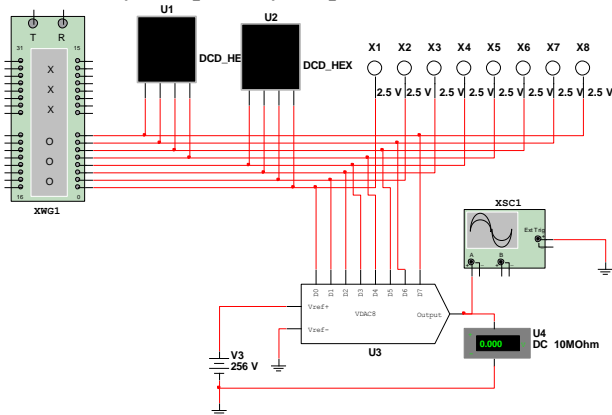


Рис. 15.4. *Multisim*-модель для дослідження функціональної моделі перетворювача «код–напруга»

1.2. Користуючись генератором слів (*XWG1*) змоделювати роботу ЦАП. Розрахувати та пройти за допомогою клавіші *Step* всі позиції генератора слів, експериментально визначити послідовність відповідних значень вихідної напруги ЦАП. Результати моделювання занести до табл. 15.1

Таблиця 15.1

### Результати моделювання

Значення двійкового коду ( <i>XWG1</i> )	Значення коду на індикаторі <i>U1</i>	Значення коду на індикаторі <i>U2</i>	Показання вольметра <i>U4</i>	Показання напруги за осцилографом

1.3. За допомогою осцилографа (*XSC1*) дослідити зміну вихідної напруги АЦП.

## 2. Дослідження функціональної моделі чотирирозрядного АЦП.

2.1. За допомогою елементів програмного комплексу *Multisim* скласти схему, зображену на рис. 15.5.

2.2. Користуючись генератором слів (*XWG1*), змоделювати роботу АЦП.

2.3. Виміряти напругу функціонального генератора, під тактовим імпульсом на екрані осцилографа проставити значення шістнадцятикового коду на семисегментному індикаторі, на графіку вихідної характеристики проставити точку, відповідну експерименту. Біля точки записати виміряну за осцилографом напругу. Продовжити дії за описаним алгоритмом для всіх тактових імпульсів одного періоду вхідної напруги;

2.4. За допомогою осцилографа (XSC1) отримати осцилограми вхідного та вихідного сигналу АЦП.

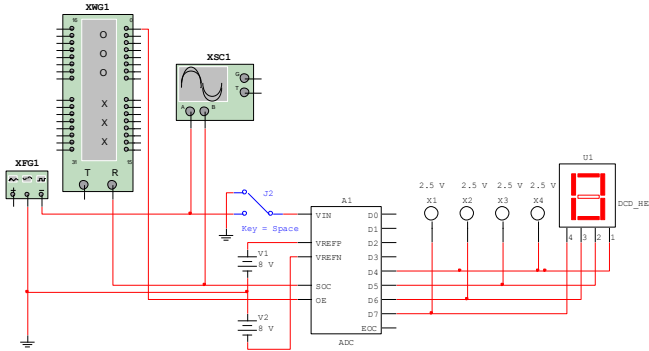


Рис.15.5 Multisim-модель для дослідження АЦП

### Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми АЦП і ЦАП (рис. 15.4, 15.5).
3. Результати вимірювань та діаграми роботи АЦП і ЦАП.
5. Висновки.

### Контрольні запитання та завдання

1. Що таке АЦП? Яке його функціональне призначення?
2. Поясніть призначення і назвіть сфери застосування ЦАП і АЦП.
3. Наведіть класифікацію ЦАП і АЦП.
4. Перелічіть вимоги, що ставляться до ЦАП і АЦП.
5. Назвіть і поясніть основні параметри ЦАП.
6. Назвіть і поясніть основні параметри АЦП.



7. Поясніть принцип дії ЦАП.
8. Поясніть принцип дії АЦП паралельної дії.
9. Поясніть принцип дії АЦП послідовного рахунку.
10. Принцип дії АЦП порозрядного кодування.

## Лабораторна робота 8

### ДОСЛІДЖЕННЯ РОБОТИ ПІВСУМАТОРА ТА СУМАТОРА

#### Мета роботи

1. Ознайомитися з основними параметрами та характеристиками півсуматорів та суматорів.
2. Закріпити на практиці теоретичні положення щодо властивостей півсуматорів та суматорів.
3. За допомогою програмного середовища *Multisim* дослідити роботу півсуматорів та суматорів.

#### Завдання

1. За рекомендованою літературою ознайомитися з основними теоретичними положеннями щодо властивостей півсуматорів та суматорів щодо побудови схем у середовищі *Multisim* для дослідження їх характеристик.
2. Дослідити роботу однорозрядних півсуматора та суматора.
3. Дослідити роботу чотирирозрядного двійкового суматора.

#### Короткі теоретичні відомості

*Суматором* називається комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел, поданих у вигляді двійкових кодів. Суматори є одним з основних вузлів арифметико-логічного пристрою.

Суматори класифікують за різними ознаками:

1. За кількістю входів і виходів суматори поділяють на:  
–*півсуматори*, що характеризуються наявністю двох входів, на які подаються однорозрядні числа, і двома виходами на одному реалізується арифметична сума в даному розряді, а на другому – перенесення в наступний (старший) розряд;

– *повні однорозрядні двійкові суматори*, що характеризуються наявністю трьох входів, на які подаються однойменні розряди двох чисел, що складаються, і перенесення попереднього (молодшого) розряду, і двома виходами на одному реалізується арифметична сума в даному розряді, а на другому – перенесення в наступний (старший) розряд;

– *багаторозрядні суматори*, що характеризуються наявністю  $n$  входів, на які подаються однойменні розряди двох багаторозрядних кодів, що складаються, і перенесення попереднього (молодшого) розряду, і двома виходами на одному реалізується код суми і сигнал перенесення у випадку, якщо результат складання не може подаватися кодом, розрядність якого збігається з розрядністю кодів доданків.

За способом і обробленням даних багаторозрядні суматори поділяють на такі:

– *послідовні*, у яких дані обробляються по черзі, розряд за розрядом на одному і тому самому пристрої;

– *паралельні*, у яких доданки складаються одночасно за всіма розрядами, і для кожного розряду є своє .

*Паралельний суматор* у простому випадку складається з  $n$  однорозрядних суматорів, послідовно (від молодших розрядів до старших) ланцюгами перенесення. Проте така схема суматора характеризується порівняно невисокою швидкістю, оскільки формування сигналів суми і перенесення в кожному  $i$ -му розряді проводяться лише після того, як надійде сигнал перенесення з першого розряду. Таким чином, швидкість суматора визначається часом проходження сигналу по ланцюгу перенесення. Зменшення цього часу – основне завдання під час побудови паралельного суматора.

За способом виконання операції складання і можливості збереження результату складання можна виділити два основні види суматорів:

– комбінаційний – виконує мікрооперацію утворення  $S:=A+B$ ;

– накопичувальний – виконує мікрооперацію  $S:=S+A$ , у якому результат складання запам'ятовується.

*Накопичувальний суматор* будується або на рахункових тригерах (натепер майже не використовується), або за структурою комбінаційний суматор – реєстр зберігання (найпоширеніша схема).

Найважливіші параметри суматорів:

– розрядність;



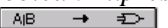
– статичні параметри:  $U_{ВХ}^0, U_{ВХ}^1, I_{ВХ}^0$  та ін.,

– динамічні параметри.

## Послідовність виконання роботи

### 1. Дослідження роботи напівсуматорів

1.1. Скласти схему, зображену на рис. 16.1 а.

1.2. За допомогою логічного аналізатора XLC (на правій панелі інструментів), послідовно натискаючи кнопки *Circuit to Truth Table* (таблиця істинності ланцюга) , *Truth Table to Boolean Expression* (булевий вираз за таблицею істинності)  та *Boolean Expression to Circuit* (створення схеми за булевим виразом) , отримати: *таблицю істинності півсуматора, логічні вирази для виходів S і C, схемну реалізацію логічних виразів для виходів S і C.*

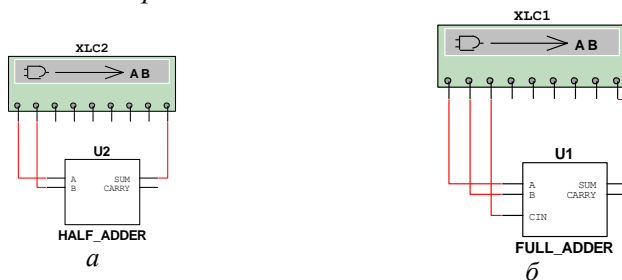


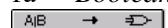


Рис. 16.1 Multisim-моделі для дослідження півсуматора (а) та суматора (б)

### 2. Дослідження роботи суматорів

2.1. Зібрати схему, зображену на рис. 16.7, б.

2.2. За допомогою логічного аналізатора XLC (на правій панелі інструментів), послідовно натискаючи кнопки *Circuit to Truth Table* (таблиця істинності ланцюга) , *Truth Table to Boolean Expression* (булевий вираз за таблицею істинності)  та *Boolean Expression to Circuit* (створення схеми за булевим виразом) , отримати: *таблицю істинності однорозрядного повного суматора, логічні вирази для виходів S і C, схемну реалізацію логічних виразів для виходів S і C.*

2.3. Скласти схему, зображену на рис. 16.2.

2.4. У генераторі слова (XWG) задати числа, що будуть підсумовуватися чотири молодші розряди будуть складати перший доданок, наступні чотири розряди – другий доданок.

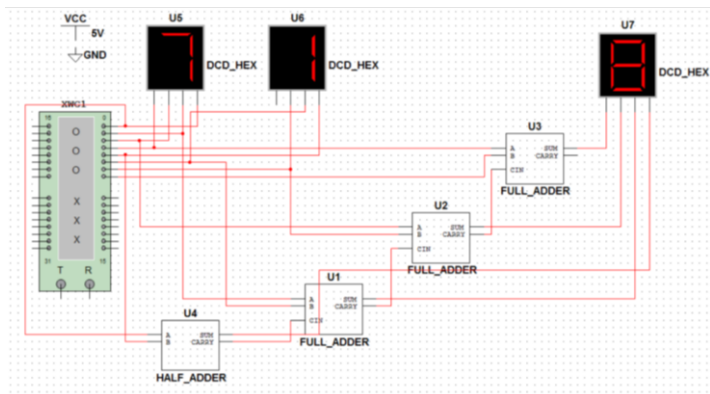


Рис. 16.2. Multisim-модель дослідження чотирирозрядного суматора з послідовним перенесенням.

2.5. Змоделювати роботу суматора та записати числа, що додаються, і результат додавання

### Зміст звіту

Звіт має містити:

1. Назву, мету та завдання лабораторної роботи.
2. Досліджувані в роботі електричні схеми суматора та півсуматора (рис. 16.1, 16.2).
3. Отримані таблиці істинності, логічні вирази для виходів та схемну реалізацію логічних виразів для виходів суматорів та півсуматорів.
4. Результати обчислень та вимірювань.
5. Висновки.

### Контрольні запитання та завдання

1. Поясніть призначення та сферу застосування суматорів.
2. Наведіть класифікацію суматорів за визначальними ознаками
4. Зобразіть умовне графічне позначення і поясніть способи побудови суматора в різних елементних базисах.
5. Поясніть особливості побудови багаторозрядних суматорів.
6. Якими часовими затримками характеризується суматор?

7. Поясніть призначення та сферу застосування півсуматорів.
8. Зобразіть умовне графічне позначення і поясніть принцип реалізації логічної функції півсуматора.
9. Наведіть схему півсуматора на логічних елементах і поясніть принцип її роботи.
10. Складіть таблицю істинності півсуматора.

## СПИСОК ЛІТЕРАТУРИ

1. *Прищепя М.М., Погребняк В.П.* Мікроелектроніка. Ч.І. Елементи мікроелектроніки: навч. посібник. К. : Вища шк., 2004. 431 с.
2. *Мілих В.І., Шавьолкін О.Л.; Мілих В.І.* Електротехніка, електроніка та мікропроцесорна техніка: підручник. 2-е вид. К. : Каравела, 2008. 687 с.
3. *Омельчук В.В., Гладич І.К.* Електроніка та мікросхемотехніка: навч. посібник. Житомир : ЖВІРЕ, 2004. 356 с.
4. / *J.Daniel, Shanefield.* Industrial electronics for engineers, chemists, and technicians with optional lab experiments. United States, 2001. 317 p.